Белорусский государственный университет информатики и радиоэлектроники

# Кафедра ЭВМ

### Отчет по лабораторной работе № 4

«Параллельный и сдвиговый регистры»

Выполнили:

студенты группы 030501

Вайтехович П.В.

Трифонов С.Г.

Проверил:

Байрак С. А.

Минск 2022

1. **Цель работы**

- Изучить режимы работы параллельного регистра.

- Изучить режимы работы регистра сдвигов.

1. **Краткие теоретические сведения**

Регистр — последовательное логическое устройство, используемое для хранения n-разрядных двоичных слов (чисел) и выполнения преобразований над ними.

Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове. С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

Фактически любое цифровое устройство можно представить в виде совокупности регистров, соединённых друг с другом при помощи комбинационных цифровых устройств.

Основой построения регистров являются D-триггеры, RS-триггеры.

По типу приёма и выдачи информации различают 3 типа регистров:

- С последовательным приёмом и выдачей информации — сдвиговые регистры.

- С параллельным приёмом и выдачей информации — параллельные регистры.

- С параллельно-последовательным приёмом и выдачей информации.

**Параллельные регистры**

В параллельных (статических) регистрах схемы разрядов не обмениваются данными между собой. Общими для разрядов обычно являются цепи тактирования, сброса/установки, разрешения выхода или приема, то есть цепи управления. Пример схемы статического регистра, построенного на триггерах типа D с прямыми динамическими входами, имеющего входы сброса и выходы с третьим состоянием, управляемые сигналом EZ.

**Сдвигающие (последовательные) регистры**

Последовательные (сдвигающие) регистры представляют собою цепочку разрядных схем, связанных цепями переноса. В однотактных регистрах со сдвигом на один разряд вправо слово сдвигается при поступлении синхросигнала. Вход и выход последовательные (DSR – Data Serial Right).

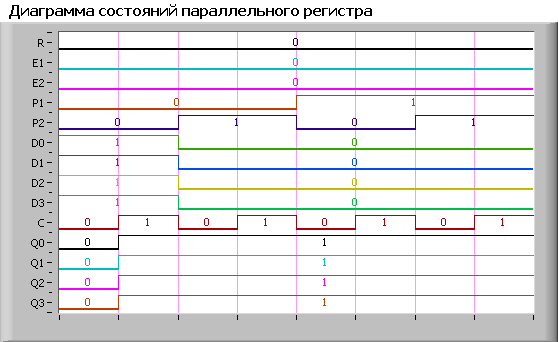
Согласно требованиям синхронизации в сдвигающих регистрах, не имеющих логических элементов в межразрядных связях, нельзя применять одноступенчатые триггеры, управляемые уровнем, поскольку некоторые триггеры могут за время действия разрешающего уровня синхросигнала переключиться неоднократно, что недопустимо. Появление в межразрядных связях логических элементов, и тем более, логических схем неединичной глубины упрощает выполнение условий работоспособности регистров и расширяет спектр типов триггеров, пригодных для этих схем. Многотактные сдвигающие регистры управляются несколькими синхропоследовательностями. Из их числа наиболее известны двухтактные с основным и дополнительным регистрами, построенными на простых одноступенчатых триггерах, управляемых уровнем. По такту С1 содержимое основного регистра переписывается в дополнительный, а по такту С2 возвращается в основной, но уже в соседние разряды, что соответствует сдвигу слова. По затратам оборудования и быстродействию этот вариант близок к однотактному регистру с двухступенчатыми триггерами.

1. **Выполнение работы.**

**3.1. Параллельный регистр.**

**3.1.1. Параллельный регистр в статическом режиме.**

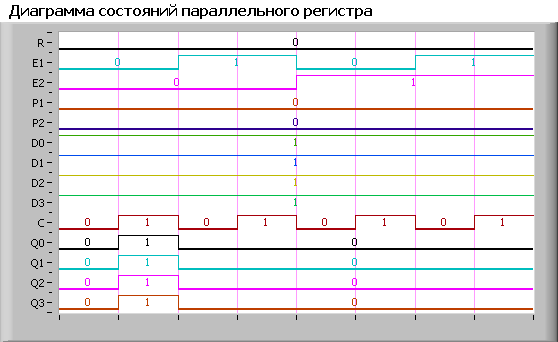
***3.1.1.1. Режим параллельной загрузки и хранения.***





При подаче управляющих сигналов Р1=Р2=0 происходит параллельная загрузка, при остальных комбинациях регистр находится в режиме хранения информации.

***3.1.1.2. Режим управления выходом регистра.***

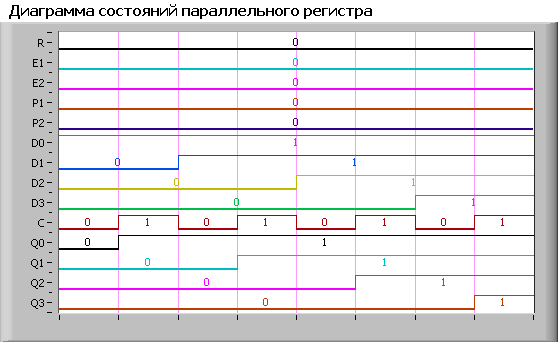




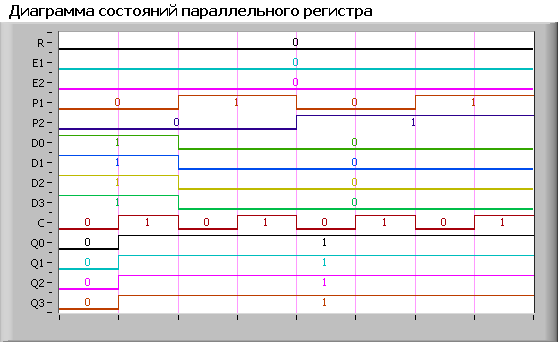
Считывание информации из регистра происходит при значениях на входах Е1=Е2=0.

**3.1.2. Параллельный регистр в динамическом режиме.**

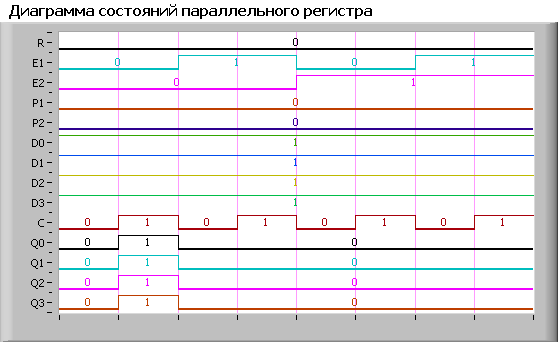
***Режим записи регистра, E1=E2=P1=P2=R=0***



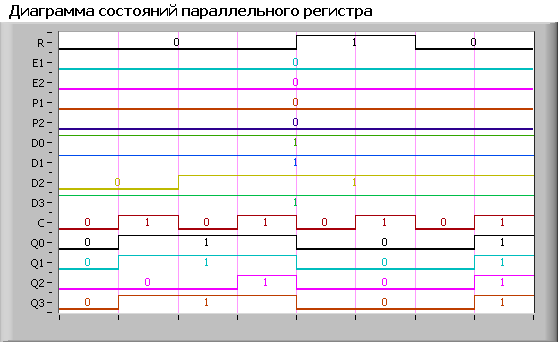
***Режим хранения, E1=E2=0, P1 | P2 = 1***



***Режим запрета выхода, P1=P2=0, R=0, E1 | E2 = 1***



***Сброс регистра, R=1, остальные не имеют значения***

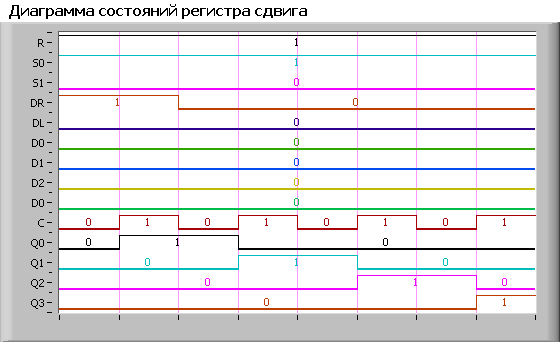


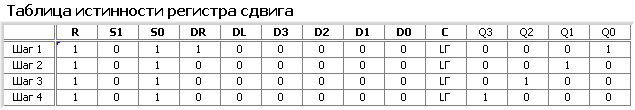
По вышеприведённым диаграммам работы видно, что регистр меняет своё состояние по положительному перепаду импульса на входе C (0 -> 1).

**3.2. Сдвиговый регистр.**

**3.2.1. Сдвиговый регистр в статическом режиме.**

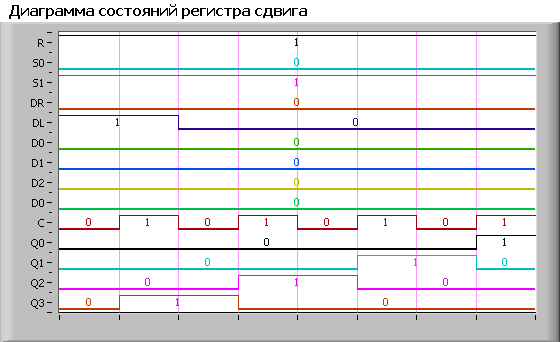
***3.2.1.1. Режим сдвига вправо.***

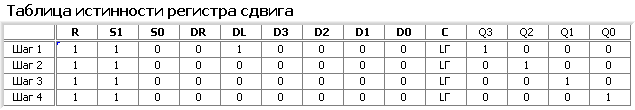




Логическая единица смещается от Q0 к Q3.

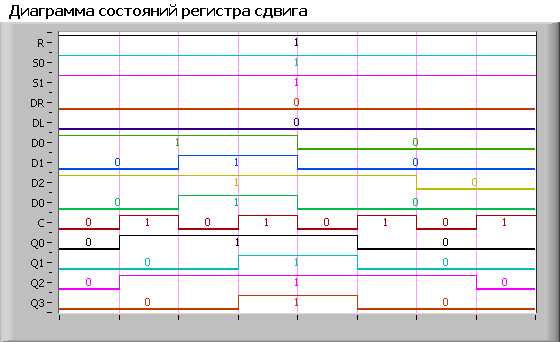
***3.2.1.2. Режим сдвига влево.***

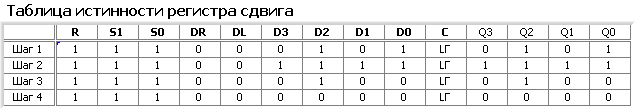




Логическая единица смещается от Q3 к Q0.

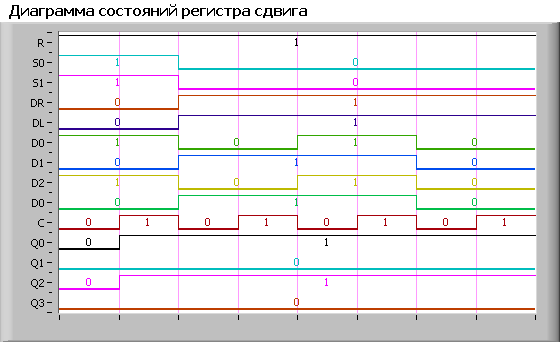
***3.2.1.3. Режим параллельной загрузки.***

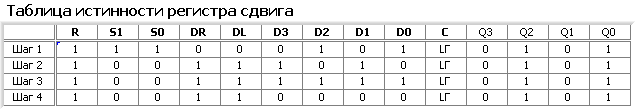




Данные на выходах Q0, Q1, Q2 и Q3 соответствуют тем, которые были поданы на входы D0, D1, D2 и D3.

***3.2.1.4. Режим хранения.***

****

****

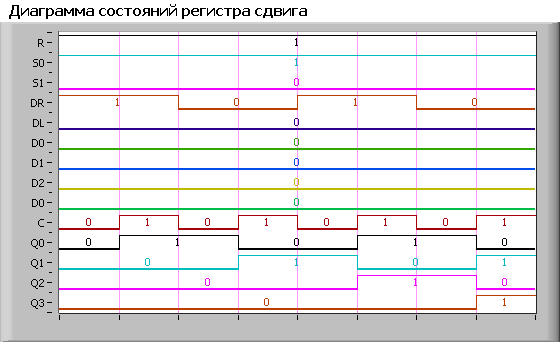
При подаче на входы S1 и S2 логического нуля, регистр переходит в режим хранения информации, при этом сигналы на входах параллельной загрузки D0-D3 и последовательной загрузки DL и DR не влияют на состояние выходов Q0-Q3. Значение на выходах сохраняется.

***Таблица истинности регистра сдвига***

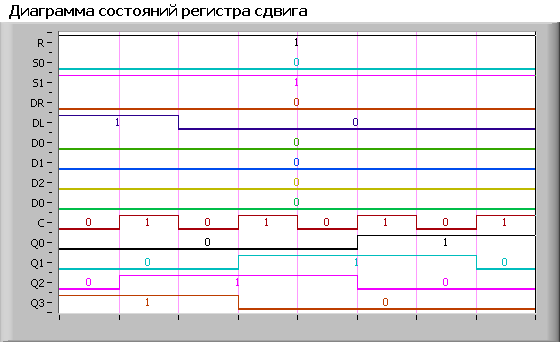
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| R | S0 | S1 | Q0t | Q1t | Q2t | Q3t |
| 0 | X | X | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | DR | Q0t-1 | Q1t-1 | Q2t-1 |
| 1 | 1 | 0 | DR | Q0t-1 | Q1t-1 | Q2t-1 |
| 1 | 0 | 1 | Q1t-1 | Q2t-1 | Q3t-1 | DL |
| 1 | 0 | 1 | Q1t-1 | Q2t-1 | Q3t-1 | DL |
| 1 | 1 | 1 | D0 | D1 | D2 | D3 |
| 1 | 0 | 0 | Q0t-1 | Q1t-1 | Q2t-1 | Q3t-1 |

**3.2.1. Сдвиговый регистр в динамическом режиме.**

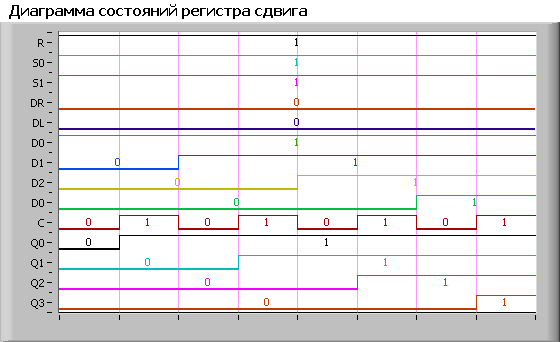
***Режим сдвига вправо***

****

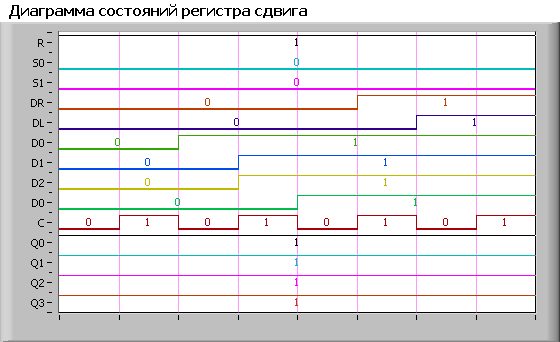
***Режим сдвига влево***

****

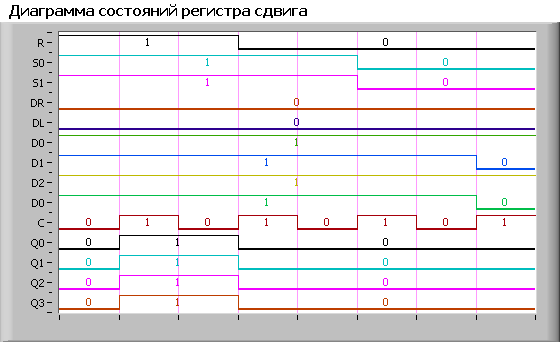
***Режим параллельной загрузки***

****

***Режим хранения***

****

***Сброс***



По вышеприведённым диаграммам работы видно, что регистр меняет своё состояние по положительному перепаду импульса на входе C (0 -> 1).